

IEEE1394 互換の光ファイバ通信プロトコルの開発

Development of the Protocol for Optical Fiber Communications Compatible with IEEE1394

市川 雄二*¹
Yuji Ichikawa

西村 崇*¹
Takashi Nishimura

高橋 雅史*¹
Masafumi Takahashi

直江 仁志*²
Hitoshi Naoe

中野 大介*¹
Daisuke Nakano

鷲見 一行*¹
Kazuyuki Sumi

上田 徹*¹
Toru Ueda

要 旨

IEEE1394 は多くの優れた特徴を持つ反面、携帯機器に不向きな大きなコネクタや通信距離が4.5mまでという制約を持つ。これらの制約を解決するためにプラスチックファイバを媒体とする通信ポートを開発した。このポートはプラスチックファイバ1本を半二重通信媒体として利用する。本稿では、IEEE1394の双方向優性モードシグナリングを半二重媒体で模倣する方法、サイクルタイマーをポート毎に管理する方法、ロック時間12ビットのクロックデータリカバリ回路について述べる。これらの技術により、IEEE1394互換通信を達成した。

The IEEE1394 specifications have many superior features but also have two drawbacks, such as big connectors and short communication distance (4.5m). In order to solve these restrictions, we have developed the communication ports using plastic optical fiber (POF) as a medium. The ports utilize single POF as a half-duplex medium. This paper describes the method to emulate the IEEE1394's bidirectional dominant mode signaling with a half-duplex medium, the method to manage a cycle timer on each port, and clock data recovery circuits with quick lock time (12bits). By unifying these technologies, the IEEE1394 compatible communication has been achieved.

まえがき

オーディオ・ビジュアルデータの高速デジタル伝送が可能なシリアルバス通信方式IEEE1394がホームネットワークの通信基盤として普及し始めている。IEEE1394の物理層は2組の差動信号、すなわち計4

本のシールドされた導線を用いてデータ伝送を行う。通信距離は4.5mである¹⁾。

IEEE1394は多くの優れた特徴を持つが、6ピンのコネクタはサイズが大きく、携帯機器には向かない。ビデオカメラでは4ピンのコネクタが利用されているが、これもまだ十分ではない(図1)。また、4.5mという通信距離は室内の機器のレイアウトや部屋間の通信を考慮した場合、不十分である。IEEEの標準化ワーキンググループP1394bではIEEE1394-1995の長距離化と高速化の増補が検討されており、ドラフト0.90の時点で、プラスチックファイバを用いた場合50m、またガラスファイバの場合、100mまでをターゲットにしているが、この技術は双方向通信を達成するためにファイバを上り下り2本使用しており、コネクタサイズの課題を解決していない。

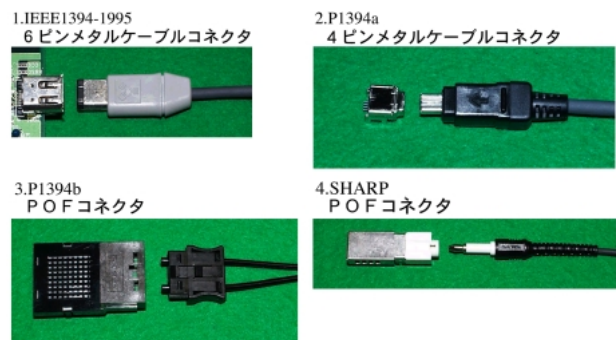


図1 IEEE1394 コネクタ比較

Fig. 1 Comparison of IEEE1394 connectors.

これらの課題を解決するために、著者らはプラスチックファイバ1本を用いたIEEE1394互換通信システムを開発した。プラスチックファイバ1本を用いたIEEE1394互換光トランシーバとして既に、全二重通信のタイプが発表されているが²⁾、ファイバ1本で全二重を行う場合、

(1) 送信器からの回り込み光、プラグ端面での光の反射光を押さえるために反射防止処理等が必要にな

*¹ 技術本部 システム開発センター

*² 電子部品事業本部 電子部品研究所 開発部

り光学系が高価になる。(図2)

(2) ドライバ, レシーバを近接して実装する必要があり, 電氣的クロストークが問題になる。という課題がある。

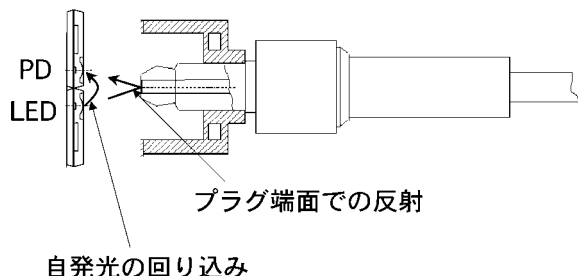


図2 自発光の受信原因
Fig. 2 Causes of reception of self-light.

本稿のシステムでは, 上記の課題を回避するためにファイバを半二重通信媒体として利用した。互いの送信を時分割で排他的に行うことで, 反射, クロストークの問題を解決することができた。図3はシステム概念図と試作ボードの写真である。IEEE1394 ケーブルからの電気信号をプロトコル変換後, 光信号に変換して光ファイバを通じて通信する。

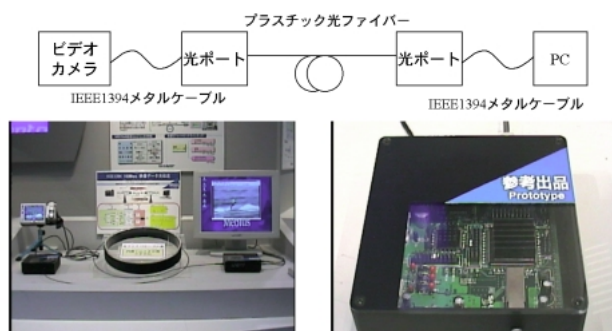


図3 通信システム概念図および写真
Fig. 3 Conceptual figure and pictures of the communication system.

IEEE1394 は, 複数のポートを介して複数の機器と接続が可能である。更に, デイジーチェーン状に接続することで直接接続されていない機器とも通信することができる。図4はポート及びデイジーチェーン接続の概念図である。今回開発した試作ボードはポート部分に当たる。表1は試作ボードの主な仕様である。

ポートは媒体へのアクセスを実現する部分である。アクセスの具体的な方法は本文中で記述し, ここではIEEE1394の信号伝送方法と光ファイバの信号伝送方法を比較する。

IEEE1394は双方向優性モードシグナリング (bidirectional dominant mode signaling) とデータ・スト

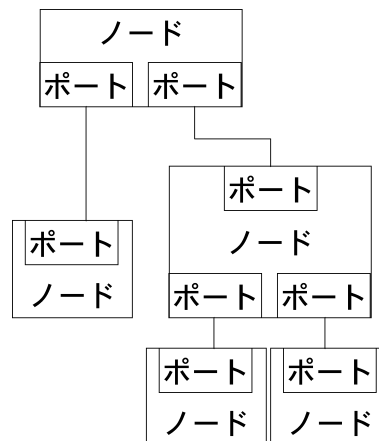


図4 IEEE1394におけるポートとデイジーチェーン接続の概念
Fig. 4 Concepts of ports and daisy chain connection in IEEE1394.

表1 光ポート仕様
Table 1 Optical port specification.

項目	内容
ポート制御部	
機能	IEEE1394互換ポート
プロトコル	半二重ピンポン
データレート	98.304Mbps
変調方式	オンオフキーイング
符号方式	8B/10B
ビットレート	122.88Mbps
通信距離	60cmから20m (実力値)
最大送信遅延	2.2us (80ビットプレアンブル 20m)
送信ジッタ	2us (80ビットプレアンブル 20m)
光トランシーバ部	
送信素子	LED(650nm)
受信アンプ	プレアンプ-ポストアンプAC結合型アンプ

ローブコーディングの2種類の伝送方法を用いている。

双方向優性モードシグナリングは, バス上でのデータ送信権の受け渡し(バスアービトレーション)を行う時に使用する伝送方法である。この伝送方法では, '0', '1', の他に導線をドライブしないハイインピーダンス状態 'Z' の3種類を2組の差動信号線に送信することで制御のための $3 \times 3 = 9$ 状態 (実際にはIEEE1394-1995ではこのうちの7状態を使用している) をアービトレーションラインステートとして相手ポートに伝える。相手ポートも同様に自身のアービトレーションラインステートに従って差動信号線をドライブする。その結果, 信号の衝突が起こり, 受信信号は送信信号と必ずしも一致しない。この不一致を解釈することで相手の状態を知ることができる。このように信号を出力しながら相手の出力を検知するという意

味で双方向優性モードシグナリングは「全二重」伝送である。

データ・ストロブコーディングはデータ送信時に使用する伝送方法である。IEEE1394は2組の差動信号データ、ストロブを用いる。データには送信したいデータを、ストロブにはデータに同一値が続いた場合にビットの区切りで反転する信号を出力する。これにより、データとデータをサンプルするためのタイミング情報が伝達できる。

一方、今回の光ファイバの信号伝送方法は、半二重でかつ完全なシリアル伝送である。従って、IEEE1394プロトコルを半二重ファイバ上で実現するためには、双方向優性モードシグナリングの「全二重」性を時分割で模倣し、データ転送の際には、データをタイミング情報を常に含むような冗長符号に符号化して受信側ではデータリカバリを行う必要がある。

本稿では、まず、双方向優性モードシグナリングを半二重媒体で模倣する方法について述べる。この中で、半二重媒体でプロトコルを模倣する際にIEEE1394との整合性を保つために用いた2つの方法について述べる。最後に、通信効率を上げるために重要な短ロック時間のクロックデータリカバリ回路について述べる。

1. 半二重プロトコル

まえがきでの説明のように、光学系に負担をかけないように、1芯光ファイバを半二重媒体として利用することを前提にしたので、

- (1) 双方向優性モードシグナリングの双方向性(全二重性)を半二重媒体上で模倣すること
 - (2) データ転送の際にストロブの代わりに冗長符号でクロックタイミングを埋め込むこと
 - (3) 上記冗長符号を前提としたクロックデータリカバリ。特に後述するプロトコルのパースト受信の効率を上げる高速同期のクロックデータリカバリ
- の3つが課題となる。(2)については、P1394bでも採用を検討されている従来技術8B/10Bを用いた³⁾。(3)については次の章で述べる。

開発したプロトコルでは、半二重媒体上で双方のポートが互いにアービトレーションラインステートを知るために、送信権を受け渡す形で時分割で双方向通信を実現する。具体的には、現在のラインステート情報を含む制御パケットを送信し、ファイバ上での送信権を相手ポートに渡す。送信権を得たポートはすぐに同様の制御パケットを送信する。そのイメージからこのプロトコルをピンポンプロトコルと呼ぶ。

図5は、その概念図である。子ノードから親ノード

へのデータパケット送信の際のアービトレーションを例に取っている。(IEEE1394ではバス初期化のプロセスで接続されているポート間で親子関係を決定する)2つのノードがアイドル状態の時には、光ファイバ上ではアイドルのラインステート情報を持った制御パケットを交換している。子ノード側の光ポートは、IEEE1394ケーブルからデータ送信のためのリクエストを検出すると、ファイバ上での送信権を得ると同時にリクエストの制御パケットを送信する。親機側の光ポートは、リクエストを意味する制御パケットを受け取ると、IEEE1394ケーブルのラインステートをリクエストにする。

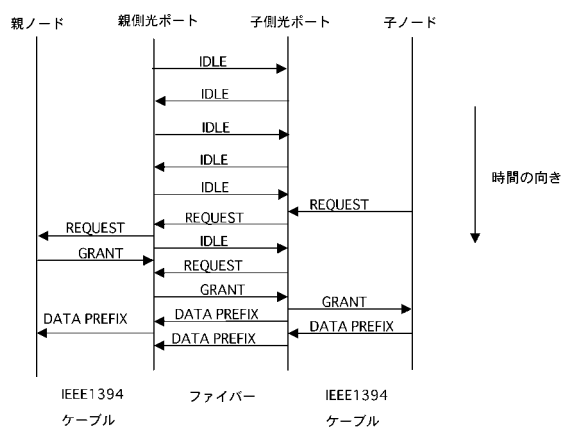


図5 半二重プロトコル概念図
Fig. 5 Conceptual figure of the half-duplex protocol.

「全二重」のシグナリングを半二重媒体上で上記のように模倣すると、半二重媒体上での送信権を得るタイミングによって、IEEE1394ケーブルのラインステートの変化をあいだいでポートに伝達するまでの時間にジッターが生じる。送信権を得てプレアンプを送信している最中にIEEE1394のラインステートが変化した場合、最善のケースで200ns後にファイバにその情報が出力されるが、最善を逃した場合、再び送信権を得るまで待つため2.2usかかる。これは、今回の試作で80ビットのプレアンプを必要とする受信器を用いたためである。受信器の性能を向上させることで、送信遅延を抑えることが可能である。

1.1 ブロック図

図6は光ポートのブロック図である。接続を示す矢印はデータの流れを表している。簡明化のため制御信号の配線は省略した。

98.304MHz動作部分は、IEEE1394ケーブルを通してデータの送受信を行う部分である。

DS PORT I/F は IEEE1394 ケーブル上の '0', '1', 'Z' を CMOS レベルへ 2 ビット表現で変換する。DS DEC はデータ ストローブ信号からノードの送信データを復号し並列化する。DS ENC はその逆で受信データのデータ・ストローブ符号化を行う。光ポートを内包する物理層 LSI を開発する際には 98.304MHz 動作部分はいらない。

24.576MHz 動作部分は、IEEE1394 の電気プロトコルから光プロトコルへの変換を行う。

OPT ENC はパケットフォーマットの生成、8B/10B 符号化を行う。OPT DEC はパケットフォーマットの解釈、8B/10B 復号を行う。PORT SM はファイバ上の送信権を管理し、OPT ENC、OPT DEC の制御を行うステートマシンである。TXFIFO は送信遅延を吸収するための FIFO である。TXFIFO 内部にはタイムスタンプを持つパケットの時間情報を出力ジッタに応じて更新するための PORT CYCLE TIMER を持つ。これについては後述する。PHY EMUL SM は、DS PORT I/F を介してつながっているノードのアービトレーションステートマシンを模倣しているステートマシンである。電気的アービトレーションとピンポンプロトコルでのアービトレーションのタイミング調整やルートコンテンションの解決を行う。詳細は後述する。

122.88MHz 動作部分は光受信のシリアル部分である。P2S は送信のためのパラレル - シリアル変換を行う。CDR は後述するクロックデータリカバリである。S2P はシリアル - パラレル変換とキャラクタ同期を行う。CLKGEN は 122.88MHz クロックから 24.576MHz を生成し、クロック乗り換えのためのタイミング信号を生成する。

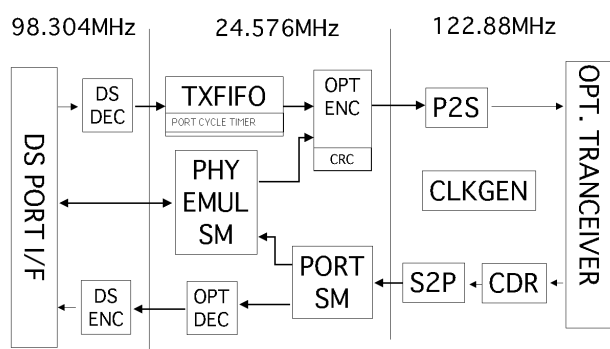


図6 光ポートブロック図

Fig. 6 Block diagram of the optical port.

1・2 PHYエミュレーションステートマシン

IEEE1394 では、双方向優性シグナリングによってライン状態を互いに知らせるが、9 状態という限られた状態数を効率よく使うために、ノードの状態によ

て同じライン状態でも異なる意味を持つ。例えば、2 組の差動信号の状態が ('1', 'Z') の場合、バス初期化の際にポートの親子関係を決めるツリー ID プロセスにおいては、自ポートが親であることを示す状態であり、次のセルフ ID プロセスに移ると、自ノードのセルフ ID が終了したことを示す状態を表す。PHY EMUL SM はライン状態を正しく解釈するために、ノードのアービトレーションステートマシンを模倣する。更に、状態遷移を利用して TXFIFO 等のスタート信号や DATA_PREFIX 後の異常終了信号を生成する。光ポートを内包する物理層 LSI の場合、ノードのアービトレーションステートマシンの状態を知ることができるので、PHY EMUL SM は簡略化可能だが、本稿のように DS PORT I/F を介して PHY と接続するような構成を採用すると、インタフェースが明確で移植性の高いマクロライブラリとなる。

1・3 タイムスタンプアップデート

IEEE1394 はバスに接続されたすべてのノードで時間同期を図り、オーディオ・ビジュアルデータのアイソクロナス転送をサポートすることを特徴とする。時間同期を取る方法として、サイクルマスタ (ルートノード) が時刻情報を持つパケット (サイクルスタートパケット) を疑似周期的に送信し、その他のノードはそのパケットの受信の度に、ノードの時刻を合わせる。各ノードとの時間同期が成立するためには、サイクルスタートパケットが各ノードにそれぞれ一定遅延で伝達することが重要である。

今回開発した半二重ピンポンプロトコルでは、パケット送信タイミングに小さくないジッタが発生する。これを解決するために、光ポートそれぞれが時刻情報を持ち、送信パケット内の時刻情報をポート毎に送信ジッタに合わせて更新するアーキテクチャを採用した。各ポートがサイクルタイマーを持つ。

光ポートは、ノードから送信データを受けると、送信権を得るまで TXFIFO にデータを貯える。この際、ヘッダを検査してサイクルスタートパケットの時にはその内容に合わせて、ポート内部のサイクルタイマを更新する。送信権を得た時点でパケットを先頭から順次送信していくと同時に CRC の計算を行う。時刻情報を送信する段階でポート内部のサイクルタイマの内容を参照する。PHY が添付した CRC の代わりに計算した CRC の結果を添付、送信する。

この結果、従来の IEEE1394 と異なり、時刻情報を持つパケットの場合、同一のパケットをリピートする度にその内容が変化する。この仕組みによって、送信タイミングに大きなジッタがあってもバス全体で時刻

同期を一貫して取ることが可能になった。

2. クロックデータリカバリ

IEEE1394では、データに加えてストロブというタイミング信号を送るので、同一符号が続いた時にも正しく受信することができる。今回のような多重化を行わない光ファイバ通信においては伝送できる信号は完全なシリアル信号なので、受信信号からタイミング情報を抽出するクロックデータリカバリ回路が必要となる。

開発したピンポンプロトコルでは、送信遅延、送信ジッタはピンポンの周期に比例する。従ってピンポン周期の短縮がシステム性能の向上につながる。ピンポン周期は、「伝送遅延」、「パケット長」、「処理時間」の3要素で構成される。このうち、オーバーヘッドにあたる部分は、「パケット長」のうちのプレアンブル部分である。

一般にバーストモード通信のクロックデータリカバリでは以下の特徴が目標になる。

- (1) 短ロック時間
- (2) 高耐ジッタ特性
- (3) システム同期出力

(1)と(2)はトレードオフの関係にある。立ち上がりで瞬時に同期するクロックデータリカバリでは、アイオープニングは1/2ビット以上必要となる⁴⁾。受信を常に続けるタイプの通信の場合、PLLで受信クロックを再生することで安定したクロックを供給できるので、受信回路全体を受信クロックで動作させることができるが、バーストモードの場合、受信クロックが安定しないので、FIFOを用いて受信機器のシステムクロックに同期させて出力することが望ましい。

今回、クロックデータリカバリをオーバーサンプリングによるデジタル回路で実装した。オーバーサンプリングで瞬時同期を実装すると、サンプリング部のセットアップ/ホールド時間の分だけ耐ジッタ特性が悪くなる。これを踏まえて、ロック時間10ビット程度を設計仕様とした。表2に開発したクロックデータリカバリの仕様を示す。

図7はクロックデータリカバリ回路のブロック図である。サンプリング部以外のブロックはすべて、ビットレートと同じ周波数のクロックで同期回路として動作する。

サンプリング部はビットレートと同じ速度の5相のクロックで受信信号をサンプルし、シフトレジスタで単一クロックに同期化する。サンプリング部はサンプル値を1クロックに5ビットずつ出力する。

エッジ検出部は、サンプル値から立ち上がりエッジ

表2 クロックデータリカバリ仕様
Table 2 Clock data recovery specification.

項目	内容
ビットレート	122.88Mbps
ロック時間	12ビット
耐ジッタ	5ns(EPF10K50E-1を使用した場合)
サンプリング数	5倍
FIFO段数	7段
出力遅延	10クロック

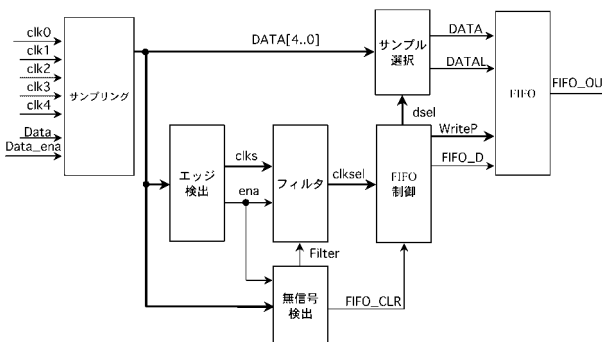


図7 クロックデータリカバリ ブロック図
Fig. 7 Block diagram of the clock data recovery circuits.

の位置を検出する。同期を取るのに立ち上がりのみを利用するのは、信号のデューティに歪みがある場合、非常に有効である。

フィルタ部は受信データとして採用するサンプル位置を出力する。フィルタ部は、立ち上がりエッジの検出位置とサンプル位置が1/2ビットだけずれるように選択位置を調整する。フィルタ部には、立ち上がりエッジの位置を時間平均するアップダウンカウンタ回路が含まれており、何回分の平均を取るか変更することができる。実装では平均を取らない高速同期モードと4エッジ分の平均を取る安定同期モードの2種類のモードを用意した。高速同期モードの場合には、立ち上がりエッジ毎に1位相(1サンプル位置)ずつ調整する。このモードの場合立ち上がり2回で同期するが、受信信号のジッタの影響を強く受ける。安定同期モードの場合、位相のずれの向きに応じて、アップダウンカウンタをカウントし、カウント値が±4になった場合に位相(サンプル位置)を1つずらす。

モードは以下のように使い分けられる。クロックデータリカバリ回路は無信号状態を検出するとFIFOをリセットして、高速同期モードに入る。プレアンブルを4ビットすなわち立ち上がりエッジを2回受信したら安定同期モードに入る。更に4エッジすなわち8

ビット受信することでアップダウンカウンタが安定するので、12ビットプレアンプルで同期する。

FIFOは受信データレートとシステムクロックの差を吸収するためのものである。このクロックデータリカバリでは、サンプル値をシステムクロックに同期させた後、システムクロックのレートでサンプル値に含まれるビットの内容の解釈を行う。一般に、送信データレートと受信側のシステムクロックは速度が異なるので、サンプル値に含まれるビットの内容の解釈は通常は1ビット受信だが、2ビット受信の場合、受信ビットなしの場合もある。従って、このFIFOは通常のものとは違い、解釈に応じて、2ビット書き込み1ビット書き込み書き込みなしの制御が可能なタイプである。

図8は、2ビット受信と受信ビットなしの場合のサンプルパターンを示した図である。サンプリング部の出力DATA[0:4]は、インデックスの0から4へ増える方向に時刻の新しいサンプル値となる。従って選択位置が4から0に変化する場合、前サンプルのDATA[4]と現サンプルのDATA[0]は同じビットのサンプル値なのでFIFOへの書き込みは行われない。逆に、選択位置が0から4に変化する場合、現サンプルのDATA[0]とDATA[4]の2ビットが受信データとして書き込まれる。

FIFOは3ビット貯えた後、出力を開始する。IEEE1394の最大パケットは約100usなので、送信器と受信器のクロック差は200ppm以内なので、3ビット貯えて出力することでシステムクロックに同期して出力してもデータが枯れることはない。

連続する立ち上がりエッジ4回のジッタが十分無関係であるという前提の下で、5倍のサンプリングのクロックデータリカバリは、理想的には6.4nsのピーク-ピークジッタに耐えられる。ALTERA社のFPGA EPF10K50E-1を使用して測定した結果は、耐ジッタ

5nsであった。

以上のように、開発したクロックデータリカバリは、高速で同期し、かつアイオープンが1/2ビット以下でもリカバーできる。

むすび

プラスチック光ファイバ1本を用いたIEEE1394互換通信システムを開発した。ファイバを半二重媒体として使用することで、光学系の簡易化、クロストークの回避を実現した。こういったコスト面でのメリットの反面、送信権取得のタイミングによって最大送信遅延およびジッタが大きく、ホップ数が多く取れず、バスのトポロジーに制約が生まれた。このような制約があるが、本稿で記述した技術は、半二重媒体でのブリッジ間転送等に広く応用可能と考えられる。

今後の目標として、複数考えられる。1つは、受信器の改善である。プレアンプルを短くすることで効率を上げることができる。他には、送信遅延/ジッタを本質的に取り除くために全二重化が考えられる。IEEE1394で採用されているようにデータ半二重、アービトレーション双方向をファイバでも適用することで光学系の簡易化、クロストークの軽減を図れる可能性がある。その他に、高速化、長距離化が挙げられる。

謝辞

本稿のシステムを含め、光通信プロジェクトは電子部品研究所開発部の光伝送グループと共同開発の形で開発を進めています。光トランシーバを開発、提供していただいた方々、試作ボード開発を一緒に行ってくださった方々に感謝致します。

参考文献

- 1) IEEE Std 1394-1995 "IEEE Standard for a High Performance Serial Bus," IEEE(1996).
- 2) Yoichi Toruimi, et al., "A Miniaturized Transceiver using Simplex POF for IEEE1394," International POF Conference '99, pp.205 - 208(1999).
- 3) A. X. Widmer, and P. A. Franaszek, "A DC-Balanced, Partitioned-Block, 8B/10B Transmission Code," IBM J. Res. Develop., 27, 5, pp.440 - 451(1983).
- 4) M. Banu, and A. Dunlop, "A 660Mb/s CMOS Clock Data Recovery Circuit with Instantaneous Locking for NRZ Data and Burst-Mode Transmission," ISSCC Dig. Tech. Papers, pp. 102 - 103 (1993).

(1999年10月12日受理)

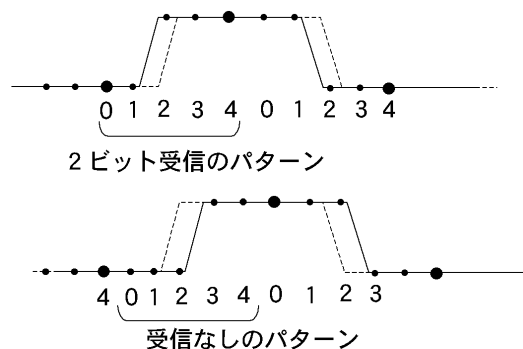


図8 2ビット受信と受信ビットなしのサンプルパターン

Fig. 8 Sample patterns of 2-bit reception and no-bit reception.