

# 低温ポリシリコン TFT-LCD

## Low Temperature Poly-Si TFT-LCD

糸 賀 隆 志\*<sup>1</sup>    伊 藤 政 隆\*<sup>2</sup>    高 藤      裕\*<sup>1</sup>  
Takashi Itoga      Masataka Itoh      Yutaka Takafuji

### 要 旨

本稿は TFT-LCD (薄膜トランジスタ方式液晶ディスプレイ) のうち, 低温ポリ Si TFT-LCD (LPS (Low Temperature Poly Silicon) TFT-LCD) に関して技術解説を行う。

まず低温ポリ Si TFT-LCD の概要と現状を述べた後, TFT の代表的な構造について説明もする。次に低温ポリ Si TFT のプロセスについて述べる。そして, 最後にポリ Si TFT におけるアプリケーションについて言及する。

This paper presents the progress of Low-Temperature Poly Silicon (LPS) TFT technology.

At first, outline of Low temperature Poly Si TFT-LCDs are described, and then Poly Silicon TFT structure and process are explained.

We also discuss the application of LPS TFT-LCD.

### まえがき

薄膜トランジスタの液晶ディスプレイへの応用が 1971 年に提唱され, そして 1980 年代半ばにまず高温ポリ Si TFT パネルを用いた小型カラー TV が実用化された。これは石英基板を使っていた為, 小型のものに限られていた。次に 1980 年代後半に, アモルファス Si TFT パネルを用いたカラー TV が実用化され, 大型パネルへの道を拓いた<sup>1)</sup>。現在 TFT 液晶ディスプレイは, ノート PC やカメラ一体型 VTR 等の多くの製品に応用され, ディスプレイデバイスの中で確固たる地位を築いている。

一方, 低温ポリ Si TFT は p 型, n 型共に高いキャリア移動度が得られ, アモルファス Si TFT よりも電流駆動能力(移動度)が 2 桁程度高い。この特性を利用し, 液晶駆動用ドライバを絵素部と同一ガラス基板上に同時に形成する事(ドライバモノリシック化)が可能である事から低温ポリ Si TFT-LCD が脚光を浴びるようになった。

ドライバを表示部と同一基板上に作り込む事によりパネル実装工程を簡略化でき, 低コスト化が期待できる。またドライバモノリシック化により実装エリアを縮小する事ができ, 狭額縁化が可能となる。

さらに実装ピッチに制限されることなく高精細化が実現でき, 信頼性の向上を図る事ができる。

低温ポリ Si TFT-LCD の商品化は, まず実装ピッチの制約, 額縁縮小及び信頼性の点で従来のアモルファス Si パネルでは困難であった高精細の中小型パネル, 或いは車載用からスタートし, 順次大型パネルへと展開してゆき, フラットパネルの主流になっていく。その上将来はトランジスタの高性能化を図り, 種々の回路機能を基板上にモノリシック化したシステム・オン・パネルを目指している。ここでは以下に, その低温ポリ Si TFT-LCD の概要とプロセスの課題について述べる。

### 1. 低温ポリ Si TFT-LCD の概要と現状

ポリ Si TFT-LCD は, IC のラインを活用して IC プロセスと同様の 1000 以上のプロセス温度が必要な高温ポリ Si TFT-LCD の小型パネルにおいてまず実用化された。しかし, IC の製造ラインは基板の大きさが最大 8 インチであり, 2 型以上のパネルサイズでは, 乗り数が制限されてしまう。また基板には高温に耐える高価な石英基板を用いる必要があり, 低コスト化は小型プロジェクション以外では困難である。このため, 大型で安価なガラス基板(高歪点ガラス)を使用する低温ポリ Si TFT-LCD の開発が進められてき

\*<sup>1</sup> A1202 プロジェクトチーム (A)

\*<sup>2</sup> 液晶天理開発本部 低温ポリシリコン推進センター

た。低温ポリ Si TFT-LCD はガラスの歪点からプロセス最高温度が 600 以下に制限される。それゆえ、大型基板に 600 以下の低温で良質のポリ Si 薄膜を作るための活発な研究開発が行われている。

低温ポリ Si TFT プロセスではアモルファス Si TFT と同様に大面積の高歪点ガラス基板上に面内に均一に多結晶 Si 膜を形成しなければならない。アモルファス Si TFT におけるアモルファス Si 膜は、太陽電池製造技術より培ってきた P-CVD 法により大面積にわたる均一な膜質をもつ Si 膜の成膜技術を開発してきた。しかし、ポリ Si 薄膜の多結晶化技術は、この膜質の均一化が難しく、長年にわたり研究されてきた。このキーテクノロジーのひとつである多結晶化技術は、大面積基板に対応できる大出力高安定エキシマレーザアニール法の開発により急速な進歩を遂げた<sup>2)</sup>。

それに加えてポリ Si TFT は CMOS 回路を作製するため、大面積基板に対し n 型不純物と p 型不純物とをソース・ドレイン領域に短時間でドーピングするイオンドーピング技術の開発が低温ポリ Si TFT の生産性向上に大きく寄与した。

以下低温ポリ Si TFT の構造やプロセス、TFT の製造設備・材料について低温ポリ Si TFT 固有のものを中心に述べる。また、アモルファス Si TFT と比較をしながら低温ポリ Si TFT の製造上の課題を述べていく。

## 2. ポリ Si TFT の構造

アモルファス Si の構造は図 1 (b) の様に不規則的に配列している。この為、電子・ホールポテンシャルエネルギーが不規則的に分布している。電子・ホールのキャリアはこの不規則的なポテンシャル中を進まなければならない。このため、移動度は低い。これに対してポリ Si 膜は粒界内では単結晶と同じ立方晶状に並んでいる。この中でキャリアは、粒界内では単結晶と同じ規則的な周期ポテンシャルの中を運動し、自由に動き回る事ができる(図 1 (a))。この為、ポリ Si 膜はアモルファス Si 膜よりも移動度が高い。

ポリ Si TFT の構造は、大きくは次の 2 つがある。まず多くのアモルファス Si TFT と同じ構造で、ゲートメタルが Si 膜からみて基板側に配置されるボトムゲート型構造(図 2 (a))、主にポリ Si TFT で採用されているゲートメタルとソース・ドレインメタルが Si 膜からみて基板と反対方向に配置されるトップゲート型構造(図 2 (b))がある<sup>2) 10) 11) 12)</sup>。

低温ポリ Si TFT については、各社が採用している低温ポリ Si TFT のデバイス構造及び材料について表 1 に示した。低温ポリ Si TFT のプロセス技術は、アモルファス Si TFT プロセスからのアプローチと高温プロ

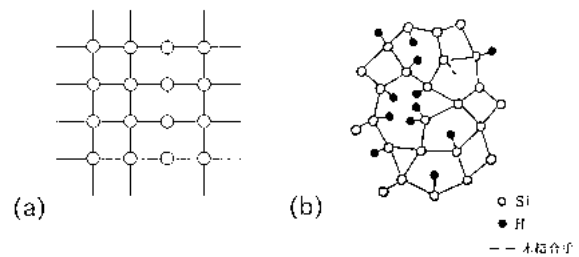


図 1 2次元原子構造モデル  
(a)多結晶 Si (粒界内) (b)水素化アモルファス Si<sup>3)</sup>  
Fig. 1 2-dimensional atomic structure model.  
(a) Poly Si film. (b) hydrogenated amorphous Si.<sup>3)</sup>

セスポリ Si TFT (IC プロセス) からのアプローチが考えられ、各社のプロセス、構造、材料等の選択は現在のところ様々な形態となっている。

ボトムゲート型低温ポリ Si TFT は、アモルファス Si TFT の製造ラインをそのまま活用することができ、設備投資を抑える事ができるという利点がある。また、ゲート絶縁膜-Si 膜の成膜を真空を破らず連続成膜するという事も大きな特徴である。しかしソース・ドレイン部への不純物注入に対し自己整合プロセスをとる事が困難である。またゲートメタルを TFT プロセスの初期の段階で形成する為、このゲートメタル材料は後工程の温度に耐える高融点を有する金属膜に限定されてしまう。

トップゲート構造 TFT は高いプロセス温度を必要とするポリ Si 膜、及びゲート絶縁膜形成後にゲート配線を形成する事ができる。ゲートメタルをマスクにしてソース・ドレイン注入を行う事ができ、自己整合のソース・ドレイン領域を形成し易い等の特徴がある。しかし、最も重要なポリ Si 膜表面がプロセス途中で露出する為、ポリ Si 膜-ゲート絶縁膜界面の制御(清浄化)が非常に重要となる。

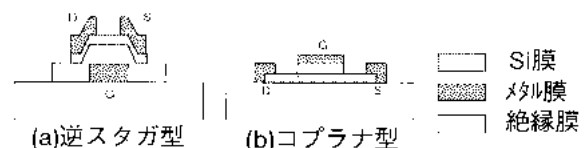


図 2 TFT 構造断面図  
Fig. 2 Cross-sectional view of poly-Si TFT.  
(a) inverted staggered type. (b) co-planer type.

### 3. ポリ Si TFT のプロセス

#### 3.1 ポリ Si TFT プロセスフロー

トップゲート構造ポリ Si TFT のプロセスを図3及び以下に示す。

まず、ガラス基板上にアモルファス Si 膜を成膜する。そして P-CVD 法によりアモルファス Si 膜を成膜した場合には、Si 膜中の水素を除去する脱水素アニール処理を行い、その後エキシマレーザアニールにより多結晶化する。次にチャンネル部、ソース・ドレイン部となる多結晶 Si 膜をエッチング加工し、ゲート絶縁膜を形成する。この後ゲート金属膜である Al 系金属を成膜する。そしてゲート金属膜を加工する。この後、ゲート金属膜側面を陽極酸化し、オフセット部を形成し、この後ソース・ドレイン部にリンやボロンの不純物を高濃度ドーピングする。

この後層間絶縁膜を形成し、コンタクトホールを開口し、更にソース・ドレイン金属形成を行い、ポリ Si TFT ができあがる。そしてその上に絵素電極膜である ITO 膜を成膜・エッチングして TFT 側基板が完成する。

以下にポリ Si TFT の固有のプロセスについて記す。

#### 3.2 レーザアニールプロセス

レーザアニール結晶化プロセスは、ポリ Si 膜の膜質を決めるキープロセスで、大出力のエキシマレーザが採用されている。エキシマレーザは数 10 nsec の間 XeCl の 308 nm 等、紫外域の波長のパルスレーザ光を照射することにより、Si 膜を融点付近まで温度上昇させ、その後固化させる。この過程により結晶構造を非晶質から多結晶質に変化させるものである。パルスレーザアニールは数 10 nsec の短い間に表面の Si 膜の部分のみを加熱する事ができ、基板へのダメージが少なく済む事から低温ポリ Si TFT への応用が進んだ。この方法では大出力ビームが必要であり、150 ~ 400 mm くらいの長さの矩形ビームによる、単位面積当りのエネルギー密度をあげたビームをスキャンすること

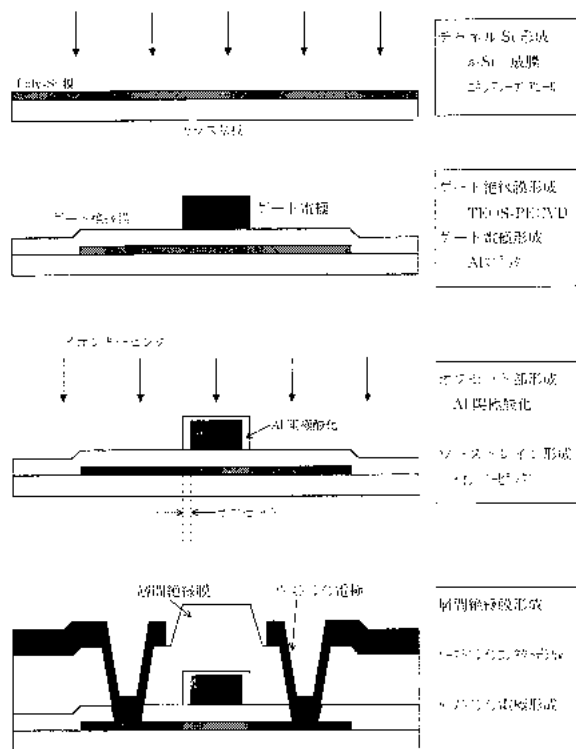


図3 自己整合オフセット構造 poly-Si TFT の製造工程フロー

Fig. 3 Process flow of self-aligned offset structure poly-Si TFT.

によって、大面積基板の処理に対応している。多結晶 Si 膜の結晶性はこの到達温度及び固化速度に極めて敏感である為、基板面内で均一な特性の TFT を得るためにはレーザの厳しい出力安定性とビームの強度分布均一性が要求される。レーザメーカーの不断努力によりレーザ安定性とビームの強度分布均一性が改善された。一方、パネルメーカーによる TFT プロセスやパネル設計の改善も行われている。

表1 各社の poly-Si TFT の特徴の比較

Table 1 Comparison of poly-Si TFT of several company.

	シャープ	A社	B社	C社	D社	E社
TFT構造	コプレーナ	コプレーナ	コプレーナ	コプレーナ	逆スタガ	逆スタガ
ゲート電極材料	Al	Al	n <sup>+</sup> 型 Si & WSi <sub>2</sub>	TaN	Mo/Ta	Cr
ソース・ドレイン構造	AOオフセット	オフセット	LDD	シングル・ゲート	LDD	シングル・ゲート
ゲート絶縁膜	TEOS-PECVD SiO <sub>2</sub> 100 nm	TEOS-PECVD SiO <sub>2</sub> 120 nm	LPCVD SiO <sub>2</sub> 100 nm	ECR-CVD SiO <sub>2</sub> 120 nm	PECVD SiN <sub>x</sub> 50 nm SiO <sub>2</sub> 100 nm	PECVD SiN <sub>x</sub> 400 nm
パネル	2.2型 XGA	3.2型 SXGA	2.4型 QVGA	10.4型 SVGA	5.6型 SVGA	2.6型 SVGA

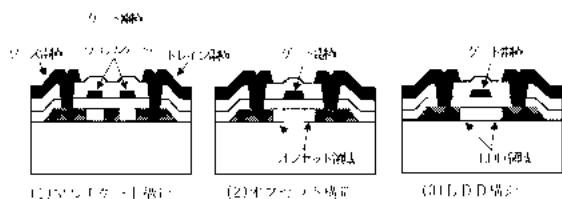


図4 オフ電流低減のための TFT 構造  
 Fig. 4 TFT structures for reduction of off current.  
 (1) multi gate structure. (2) offset structure.  
 (3) LDD structure.

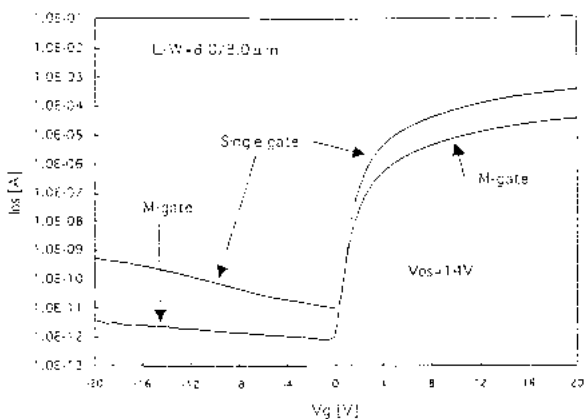


図5 シングルゲート及びマルチゲート構造の TFT の特性の比較  
 Fig. 5 Comparison of TFT characteristics between single gate structure and multigate structure.

### 3.3 イオンドーピングプロセス

i 型 Si 膜から n<sup>+</sup> 型 Si 膜や p<sup>+</sup> 型 Si 膜を形成する不純物注入装置は CMOS トランジスタを作製するポリ Si TFT においてはなくてはならないものである。IC の製造プロセスで使用されているイオン注入装置はイオンビームサイズが小さく、大面積のガラス基板に用いるのは処理時間の点で現実的ではない。この問題を解決するためにイオンドーピング装置が開発された。イオンドーピング装置は真空チャンバー内にホスフィンガス (PH<sub>3</sub>) またはジボランガス (B<sub>2</sub>H<sub>6</sub>) (いずれも H<sub>2</sub> ガスで希釈) を流しプラズマ放電を起こして、イオン化された分子を直流電圧で加速して基板上的 Si 膜に不純物を注入するものである。イオンドーピング装置は、大面積基板上全面に短時間でドーピングできる為、イオン注入装置に比べて大面積ガラス基板の不純物注入に適している。ガラス基板用ドーピング装置の課題はイオンの質量分離がされない為、水素イオンもドーピングされ、正確な不純物のドーピング濃度を測定できないという点とチャネル部へのドーピング等低濃度ドーピングを行っていくという点である。これらが今後改善されていくものと考えられる。

表2 試作パネル (2.2型 XGA) の仕様  
 Table 2 Specification of prototype LPS panel  
 (2.2" diagonal XGA).

画面サイズ	45 mm × 33 mm
画素数	1024 × 768
画素ピッチ	44 μm × 44 μm
開口率	61%
電源電圧	16 V
走査信号駆動回路動作周波数	57.9 kHz
データ信号駆動回路動作周波数	2.4MHz
画素 TFT	n-ch マルチゲート TFT

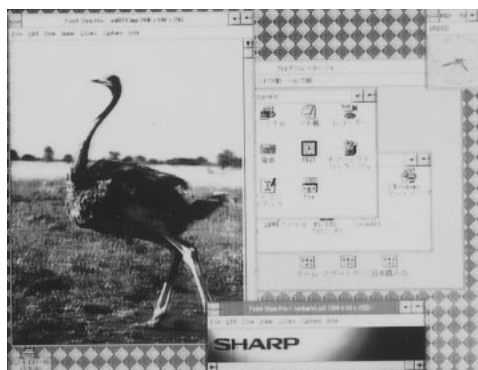


図6 試作パネルによる表示例  
 Fig. 6 Display image of prototype LPS panel.

### 3.4 ドライエッチングプロセス

低温ポリ Si TFT では高精細化を目指すため、微細加工技術が必要である。現在は大型基板用の露光機の解像度は 2 μm であるが、今後 1 μm 以下の解像度のもが開発されていくと考えられる。

一方アモルファス Si TFT においてはドライエッチングは当初は必ずしも微細加工の要求からではなく、加工を再現性よく実現させるために導入されてきた。低温ポリ Si TFT においては、TFT サイズの小型化、高開口率化を一段進められる事、或いは、ドライバ部においてアモルファス Si よりも微細加工が要求される事で、寸法シフトを小さくできるドライエッチングを多くの工程に導入している。将来更にドライエッチングが重要となる。

ドライエッチングは、IC プロセスで培われた技術を参考にするとところも大きい。大面積ガラス上の膜をエッチングする TFT-LCD においてはエッチング速度の面内均一性など別の難しさも加わってくる。

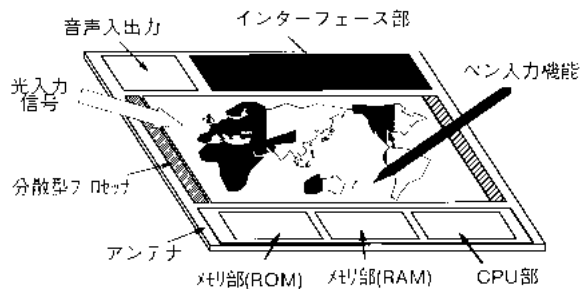


図7 シート上のコンピュータ  
Fig. 7 Concept of a sheet computer.

3・5 ポリ Si TFT の課題

ポリ Si TFT の課題の一つはソース・ドレイン間のリーク電流が大きい事である。イオンドーピングにより n<sup>+</sup> 型或いは p<sup>+</sup> 型 Si 膜部を形成した場合、ポリ Si TFT は Si 多結晶の粒界の存在によって i 層 Si 部と n<sup>+</sup> 型 Si 部或いは p<sup>+</sup> 型 Si 部のジャンクションの特性が不十分になって、リーク電流が大きくなるという固有の問題がある。特に絵素 TFT は書込み時間以外は充電した電位を保持する必要がある為、特に OFF 時のリーク電流を小さくしなければならない。このためにチャンネル部と n<sup>+</sup> 型 Si 或いは p<sup>+</sup> 型 Si の間の漏れ電流を抑えるため、ドレイン電界を弱くする事が必要である。このリーク電流を抑えるための手法には図4(1)の様に1つのトランジスタが複数本のゲート電極と交差するマルチゲート構造 TFT にする方法や、図4(2)の様なオフセット構造を取る方法<sup>4)~8)</sup>、図4(3)の様にオフセット部に不純物をライトドープした LDD (Lightly Doped Drain) 構造にする方法などがある。

これらのオフセットや LDD 部は TFT のホットキャリアの低減、信頼性向上にも有効である。

これらのうち、マルチゲートオフセット構造ポリ Si TFT を作製した。この TFT の I<sub>d</sub>-V<sub>g</sub> 伝達特性の一例を図5に示した。マルチゲートオフセットにする事によりシングルゲート構造 TFT より 2桁程度の OFF 特性が改善される事がわかる<sup>6)</sup>。

当社で作製した 2.2" XGA のパネルの仕様を表2に示した。このパネルの表示例を図6に示した。

むすび

低温ポリ Si TFT はまず、中小型パネルでアモルファス Si TFT の及ばない高精細化の特長を生かしながら得意な画面サイズ、用途で台数を伸ばしていくものと考えられる。つまりカメラ一体型 VTR、液晶 TV、カーナビゲーション等の民生用や携帯情報端末用ディスプレイ、プロジェクター用ライトバルブ等の用途で台数を伸ばしていくものと考えられる。

そしてこれら中小型 TFT-LCD の中で次第に台数を増やして行くものと考えられる。更にその後ノート PC のディスプレイ等の 10 型級のパネルにも低温ポリ Si TFT が使われていくものと思われる。低温ポリ Si TFT-LCD は、高性能のトランジスタをガラス基板上へ形成できることから、システムオンパネル<sup>9)</sup>の最有力候補である。これは、1枚のガラス基板上に入出力インタフェース、プロセッサ、メモリー等を一体集積化させたシート状のコンピュータへ発展させる等が考えられている。この概念を図7に示した。これには、まず低温ポリ Si TFT の高精細液晶パネルを量産化し、技術・経験を蓄積していくことが重要である。

参考文献

- 1) 川上英昭,日経マイクロデバイス pp.142~148 (Sep. 1997)
- 2) 三村秋男,月刊 LCD Intelligence pp.52~58 (Feb. 1996)
- 3) 高橋清,小長井誠編,サイエンスフォーラム 最新 アモルファス Si ハンドブック ,vol.1 p.28
- 4) Y. Yamamoto ,Proceedings of Asia Display '95 ,pp.941~942 (1995)
- 5) T. Morita ,IEDM '95 Digest pp.841~843 (1995)
- 6) M. Itoh ,SID 96 DIGEST pp.17~20 (1996)
- 7) 伊藤政隆,フラットパネルディスプレイ97 pp.214~219 (1997)
- 8) A. Yoshinouchi ,Proceedings of The 1996 International Active Matrix Workshop pp.29~32 (Sep.20, 1996)
- 9) 船木洋一,日経マイクロデバイス pp.198~199 (Dec. 1995)
- 10) T. Tanaka ,IEDM93 Digest p.389 (1993)
- 11) A. Kohno ,IEEE T-ED 42 p.251 (1995)
- 12) H. Kuriyama ,J.J.A.P. 33 p.5657 (1994)

(1997年10月27日受理)